

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

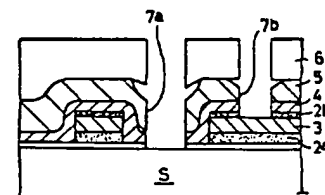
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 5-226333 (A) (43) 3.9.1993 (19) JP
 (21) Appl. No. 4-24193 (22) 12.2.1992
 (71) SHARP CORP (72) MASARU KATSURAGI
 (51) Int. Cl.⁶ H01L21/3205, H01L21/28, H01L21/302, H01L29/62

PURPOSE: To a manufacturing method of a semiconductor device wherein selection ratio is improved, and the dug amount on silicide can be reduced, in a contact hole forming process.

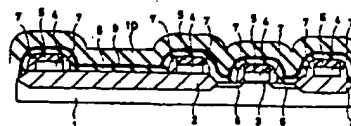
CONSTITUTION: After a first polysilicon layer 2a, a silicide layer 3 and a second polysilicon layer 2b are formed on a silicon substrate, the three layers on a specified area of the silicon substrate are eliminated. An insulation film is formed on the whole surface, and then contact holes 7a, 7b reaching the silicon substrate and the silicide layer of the gate are formed by dry etching.

**(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

(11) 5-226334 (A) (43) 3.9.1993 (19) JP
 (21) Appl. No. 4-26366 (22) 13.2.1992
 (71) MITSUBISHI ELECTRIC CORP (72) YOSHIO HAYASHIDE(1)
 (51) Int. Cl.⁶ H01L21/3205, H01L21/304, H01L21/90

PURPOSE: To increase the level of integration of a device and improve productivity, by flattening an interlayer insulating film at a low temperature, in a device having a multilayered wiring structure.

CONSTITUTION: A silicon oxide film 8 containing phosphorus, a silicon nitride film 9, a silicon oxide film 10 are formed in order as an interlayer insulating film. Then the surface side silicon oxide film is flattened by chemical and mechanical polishing until a part of the surface of the silicon nitride film is exposed, and the wiring layer is formed so as to be in contact with the left silicon oxide film on the surface side and the exposed silicon nitride film.

**(54) FORMING METHOD OF THIN FILM**

(11) 5-226335 (A) (43) 3.9.1993 (19) JP
 (21) Appl. No. 4-25622 (22) 13.2.1992
 (71) TOSHIBA-CORP (72) HISAFUMI KANEKO(3)
 (51) Int. Cl.⁶ H01L21/3205, H01L21/205

PURPOSE: To form a thin film which is excellent in surface flatness and has high crystallinity, on an amorphous SiO₂ substrate.

CONSTITUTION: Material gas is supplied to the surface of a substrate by a CVD method, and a thin film is formed on the substrate. The material gas is preliminarily heated before it is supplied to the substrate, and brought into contact with catalyst composed of Pt, Pd and Au or compound or mixture of the above during preliminary heating. Thereby a thin film excellent in flatness and crystallinity wherein impurities scarcely exist can be formed at a low substrate temperature.

11

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-226334

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/3205				
21/304	321	S 8728-4M		
		M 8728-4M		
21/90		M 7735-4M		
		7735-4M		
H01L 21/88				K
審査請求 未請求 請求項の数6(全16頁)				

(21)出願番号 特願平4-26366

(22)出願日 平成4年(1992)2月13日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 林出 吉生

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(72)発明者 松浦 正純

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

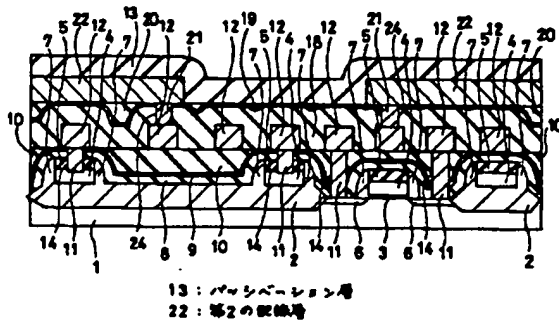
(74)代理人 弁理士 高田 守

(54)【発明の名称】 半導体装置、およびその製造方法

(57)【要約】 (修正有)

【目的】 多層配線構造を有する装置構成において、低温で層間絶縁膜を平坦化させて、装置の集積度の向上を図り、かつこれを生産性よく得る。

【構成】 層間絶縁膜として、リンを含むシリコン酸化膜8、シリコン窒化膜9、シリコン酸化膜10を順次に形成させ、表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで化学的・機械的研磨により表面平坦化し、かつ配線層を表面側の残されたシリコン酸化膜上と露出されたシリコン窒化膜上とに接して構成する。



1

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上に、ソース・ドレイン領域となる第2導電型の各不純物拡散層、ゲート酸化膜、および該当部分でのゲート電極となる多結晶シリコン膜によって構成されるMOSFETを有し、当該MOSFETでの少なくとも各不純物拡散層が、第1の層間絶縁膜の各第1の接続口に埋め込まれた第1の導電層を介してそれぞれ第1の配線層に接続され、かつ対応する各第1の配線層が、第2の層間絶縁膜の各第2の接続口に埋め込まれた第2の導電層を介してそれぞれ第2の配線層に接続される半導体集積回路装置の構成において、

前記第1、第2の各層間絶縁膜として、順次に形成される第1、第2の各導電型の不純物の少なくとも一方を含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜からなり、かつ当該表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで化学的・機械的研磨により表面平坦化して構成させると共に、前記第1、第2の各配線層が、前記表面側の残されているシリコン酸化膜上、および露出されているシリコン窒化膜上に接して形成させたことを特徴とする半導体装置。

【請求項2】 前記各配線層が、2層以上の多層配線層とされ、各配線層間毎に、前記構成による層間絶縁膜を介在させたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記各層間絶縁膜における第1、第2の各導電型の不純物の少なくとも一方を含むシリコン酸化膜の下に、不純物を含まないシリコン酸化膜を形成させたことを特徴とする請求項1または2記載の半導体装置。

【請求項4】 第1導電型の半導体基板上に、ソース・ドレイン領域となる第2導電型の各不純物拡散層、ゲート酸化膜、および該当部分でのゲート電極となる多結晶シリコン膜によって構成されるMOSFETを有し、当該MOSFETでの少なくとも各不純物拡散層が、第1の層間絶縁膜の各第1の接続口に埋め込まれた第1の導電層を介してそれぞれ第1の配線層に接続され、かつ対応する各第1の配線層が、第2の層間絶縁膜の各第2の接続口に埋め込まれた第2の導電層を介してそれぞれ第2の配線層に接続される半導体集積回路装置の構成での前記第1、第2の各層間絶縁膜の形成方法であって、まず、第1、第2の各導電型の不純物の少なくとも一方を含むシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜とをそれぞれ順次に形成する工程と、ついで、化学的・機械的研磨法により、前記表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで研磨して表面平坦化させる工程と、さらに、前記表面側の残されているシリコン酸化膜上、および露出されているシリコン窒化膜上に接して、前記各配線層を形成させる工程とを、

2

少なくとも含むことを特徴とする半導体装置の製造方法。

【請求項5】 前記各配線層を2層以上の多層に形成する工程、および当該各配線層間毎に、前記構成による層間絶縁膜を介在させる工程をそれぞれに含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記各層間絶縁膜における第1、第2の各導電型の不純物の少なくとも一方を含むシリコン酸化膜の形成に先立って、不純物を含まないシリコン酸化膜を形成させる工程を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置、特に、半導体集積回路装置、およびその製造方法に関し、さらに詳しくは、半導体集積回路装置における層間絶縁膜、およびその形成方法の改良に係るものである。

【0002】

【従来の技術】 従来例による一般的なこの種の半導体集積回路装置の製造方法を図16ないし図29に順次模式的に示しており、最終的に構成される当該半導体集積回路装置の構造は図29に見られる通りであって、こゝでは、特に、第2の層間絶縁膜の形成方法について図30ないし図34に示してある。

【0003】 最初に、上記従来例での半導体集積回路装置における主要な構成について概括的に述べる。

【0004】 この従来例による半導体集積回路装置は、図29に示されているように、ソース・ドレイン領域となる各不純物拡散層6、ゲート酸化膜3、および該当部分でのゲート電極となる多結晶シリコン膜4によって構成されるMOSFETを有しており、当該MOSFETにおける少なくとも各不純物拡散層6は、第1の層間絶縁膜38の各第1の接続口14に埋め込まれた第1のタングステンプラグ11を介してそれぞれ第1の配線層12に接続され、かつ対応する各第1の配線層12は、第2の層間絶縁膜40の各第2の接続口24に埋め込まれた第2のタングステンプラグ21を介してそれぞれ第2の配線層22に接続されている。

【0005】 次に、上記構成による従来例での半導体集積回路装置の製造方法の主要な工程を図16ないし図29について述べる。

【0006】 これらの図16ないし図29の内、第2の層間絶縁膜を形成するまでの図16ないし図27においては、この従来例による半導体集積回路装置の製造方法は、まず、P型シリコン基板1の主面上に、局所酸化法によって素子間分離のための膜厚300～800nm程度の各分離酸化膜2をそれぞれ選択的に形成すると共に（図16）、かつ残余の主面露出部に、熱酸化法によって膜厚5～30nm程度のゲート酸化膜3を形成し、また、その表面に、気相成長法によってリン、砒素などの

3

N型不純物を含んだ多結晶シリコン膜、およびシリコン酸化膜を順次に堆積させた後、フォトリソグラフィ法、およびRIE法により、これを選択的にエッチング整形してゲート酸化膜3上に対応したMOSFETの該当ゲート電極としての多結晶シリコン膜4、および各分離酸化膜2上に対応した各多結晶シリコン膜4と、その上のシリコン酸化膜5とをそれぞれに形成し(図17)、さらに、こゝでのゲート電極該当の多結晶シリコン膜4、およびその上のシリコン酸化膜5をマスクにしたN型不純物イオンの注入、およびこれに続く熱拡散によって各不純物拡散層6を選択的に形成する(図18)。

【0007】ついで、これらの全表面上に、気相成長法によって膜厚50~300nm程度のシリコン酸化膜15を形成し(図19)た上で、フォトリソグラフィ法、およびRIE法により、これを選択的にエッチング整形してゲート部に対応するシリコン酸化膜5を含んだ多結晶シリコン膜4、ならびにその他の各部に対応する多結晶シリコン膜4での各側壁部にあって、それぞれにサイドウォール7を形成し、かつ再度、当該ゲート部対応の各サイドウォール7をマスクにした不純物イオンの注入によって前記各不純物拡散層6に不純物濃度の濃い部分と薄い部分とを形成する(図20)。

【0008】さらに、これらの全表面上に、気相成長法によってボロン、リンなどのN型、P型不純物を含んだシリコン酸化膜(以下、BPSG膜と呼ぶ)からなる層間絶縁膜38aを堆積させ(図21)た上で、これを温度800~1000℃程度で熱処理することにより、その全表面を可及的に平滑化させた第1の層間絶縁膜38を形成する(図22)。

【0009】そして、前記第1の層間絶縁膜38上にあって、フォトリソグラフィ法、およびRIE法により、前記各不純物拡散層6、および対応する各多結晶シリコン膜4のそれぞれに対して第1の接続口14を開口させ(図23)、かつこれらの各第1の接続口14を含む全表面上に、気相成長法によってタングステン薄膜11aを被着する(図24)と共に、RIE法により、このタングステン薄膜11aの該当部分をエッチング除去して、これらの各第1の接続口14の内部にあってのみ、接続用の第1のタングステンプラグ11をそれぞれに残しておく(図25)。

【0010】また、これらの全表面上に対し、スパッタリング法により、例えば、低融点のアルミニウム銅合金膜を堆積させ、かつフォトリソグラフィ法、およびRIE法によってこれを選択的にエッチング除去し、前記各第1のタングステンプラグ11上、ならびに前記第1の層間絶縁膜38の該当部分上にあって、それぞれに第1の配線層12を形成させ(図26)ることにより、前記各不純物拡散層6、および対応する各多結晶シリコン膜4に対し、各第1のタングステンプラグ11を介して

4

それぞれの各第1の配線層12を接続させる。

【0011】その後、これらの全表面上に、気相成長法によってシリコン酸化膜からなる第2の層間絶縁膜40を形成する(図27)が、この場合、こゝでの第2の層間絶縁膜40は、前記低融点によるアルミニウム銅合金を用いた第1の配線層12上に形成されるために、そのまゝでは、前記第1の層間絶縁膜38の形成に際して用いた高温の熱処理による表面平坦化を同様に実行することはできない。

【0012】こゝで、このシリコン酸化膜による第2の層間絶縁膜40の一層、詳細かつ具体的な形成過程、この場合は、シリコン酸化膜を用いた第2の層間絶縁膜40の可及的低温による形成過程を図30ないし図34について述べる。

【0013】これらの図30ないし図34において、前記第1の層間絶縁膜38上に低融点によるアルミニウム銅合金を用いた第1の配線層12が選択的に形成された状態(図30、つまり、前記図26の工程に該当する)で、これらの全表面上に、プラズマ気相成長法により、温度300~450℃程度で膜厚100nm程度のシリコン酸化膜30を被着させ(図31)た後、SOG法を2~20回程度、繰り返すことによって表面が比較的平滑化されたシリコン酸化膜31を形成する(図32)。

【0014】さらに、RIE法により、前記シリコン酸化膜31、30をエッチバックして最適化された膜厚のシリコン酸化膜32とし(図33)、かつ引き続き、プラズマ気相成長法によるシリコン酸化膜33を堆積させる(図34)ことによって、所期通りに低温での可及的に平滑化された第2の層間絶縁膜40を形成(前記図27に対応する)し得るのである。

【0015】当該第2の層間絶縁膜40を形成するのに、このような各過程を必要とするのは、次の理由による。

【0016】すなわち、アルミニウム銅合金の第1の配線層12に接する絶縁膜(つまり、この場合、第2の層間絶縁膜40)は、その電気的接続の信頼性を確保するために、十分な押し付け応力を有し、しかも、これに併せて、吸湿性の少ないことが要求されるが、前記のようにSOG法によって形成されるシリコン酸化膜は、通常、十分な引っ張り応力をもつが、一方で、吸湿性がプラズマ気相成長法によって形成されるシリコン酸化膜に比較して高いことから、当該配線層に広く接する部分では、このプラズマ気相成長法によるシリコン酸化膜で覆う必要があるためである。

【0017】続いて、このように前記第2の層間絶縁膜40を形成した後の工程を図28、図29について述べる。

【0018】こゝで、前記第2の層間絶縁膜40に対しては、前記第1の層間絶縁膜38の場合と同様に、フォトリソグラフィ法、およびRIE法により、対応する

5

前記各第1の配線層12のそれぞれに対して第2の接続口24を開口させ、かつこれらの各第2の接続口24を含む全表面上に、気相成長法によってタングステン薄膜を被着すると共に、R I E法により、このタングステン薄膜の該当部分をエッチング除去して、これらの各第2の接続口24の内部にあってのみ、接続用の第2のタングステンプラグ21をそれぞれに残しておく(図28)。

【0019】その後、前記第1の配線層12の場合と同様に、これらの全表面上に対して、スパッタリング法により、例えば、低融点のアルミニウム銅合金膜を堆積させ、かつフォトリソグラフィ法、およびR I E法によってこれを選択的にエッチング除去し、前記各第2のタングステンプラグ21上にあって、それぞれに第2の配線層22を形成させることにより、対応する各第1の配線層12に対し、各第2のタングステンプラグ21を介してそれぞれの各第2の配線層22を接続させた上で、さらに、これらの全表面上に、プラズマ気相成長法によってシリコン窒化膜を堆積させることでパッシベーション膜13を形成する(図29)もので、このようにして所期通りのMOSFETを集積した半導体装置を構成させるのである。

【0020】

【発明が解決しようとする課題】しかしながら、上記のように構成される従来の半導体装置においては、次のような問題点がある。

【0021】すなわち、近年、この種の半導体装置では、その構成自体の微細化が進むにつれ、特に、第1、第2の各層間絶縁膜38、40の平坦性の向上が求められるようになってきている。

【0022】これは、まず第1に、装置構成での横方向の微細化に伴い、フォトリソグラフィ法によって、第1、第2の各接続口14、24とか、第1、第2の各配線層12、22のパターンをそれぞれ形成する際に、焦点深度の確保が困難になってきている点であり、また第2に、第1、第2の各配線層12、22の開口内に対して、第1、第2の各タングステンプラグ11、21をそれぞれ形成する際に、これらの第1、第2の各層間絶縁膜38、40の平坦性が乏しい場合、個々の段差部にあって、エッチング除去されずに残留するタングステンが現れ易い点であって、このようなそれぞれの各点において装置構成の微細化、高集積化が妨げられるだけでなく、装置の良品率、信頼性の各低下を招くことになる。

【0023】そして、この場合、最先に形成される第1の層間絶縁膜38の平坦性を向上させるためには、熱処理温度を上げること、BPSG膜中の不純物濃度を上げることなどの各手段がそれぞれに考えられるのであるが、前者の手段では、不純物拡散層6の拡散深さを必要以上に深くせざるを得ず、近年の高度に微細化された装置構成にあっては、MOSFETとしての性能を損なう

6

惧れを有し、一方、後者の手段では、不純物濃度を上げること耐湿性の劣化などを招くことから、当該不純物濃度に自ら限界があるという不利があり、また、続いて形成される第2の層間絶縁膜40の平坦性を向上させるためには、先にも、図30ないし図34で述べたように、多くの工程数を必要とするものであった。

【0024】そこで、このような各点を改善し、低温によって各層間絶縁膜38、40の平坦化をなす手段の一つとして、従来から、いわゆる、化学的・機械的研磨法(以下、CMP法と呼ぶ)が、例えば、文献(“Journal Electrochemical Society” Vol.138, P.1778)に報告されている。

【0025】次に、このCMP法による層間絶縁膜の平坦化手段を図35ないし図39について述べる。

【0026】すなわち、上記図20の工程終了後にあって、まず、プラズマ気相成長法により、比較的厚いシリコン酸化膜からなる層間絶縁膜38aを堆積させ(図35)した後、CMP法により、コロイダルシリカを主成分とする研磨材を流しながら、当該層間絶縁膜38aでの凹凸のある表面を機械的に研磨することにより、ここでは、平坦化された第1の層間絶縁膜38を形成し得る(図36)。

【0027】ついで、前記平坦化された第1の層間絶縁膜38上にあって、フォトリソグラフィ法、およびR I E法により、各不純物拡散層6、および対応する各多結晶シリコン膜4のそれぞれに対して各第1の接続口14を開口させ、かつ当該各第1の接続口14を含む全表面上に、気相成長法によってタングステン薄膜を被着させると共に、R I E法により、該当部分をエッチング除去して各第1の接続口14の内部にのみそれぞれ第1のタングステンプラグ11を残し、さらに、これらの全表面上に対し、スパッタリング法により、例えば、低融点のアルミニウム銅合金膜を堆積させた上で、フォトリソグラフィ法、およびR I E法によってこれを選択的にエッチング除去し、各第1のタングステンプラグ11上、ならびに前記平坦化された第1の層間絶縁膜38の該当部分上に、それぞれ各第1の配線層12を形成させて、各不純物拡散層6、および対応する各多結晶シリコン膜4に対し、各第1のタングステンプラグ11を介してそれぞれの各第1の配線層12を接続させる(図37)。

【0028】その後、これらの全表面上にあって、前記と全く同様に、プラズマ気相成長法により、比較的厚いシリコン酸化膜からなる層間絶縁膜40aを堆積させ(図38)、これをCMP法によって研磨することで、平坦化された第2の層間絶縁膜40を形成できるのであり、また、当該第2の層間絶縁膜40に対し、フォトリソグラフィ法、およびR I E法により、対応する前記各第1の配線層12のそれぞれに第2の接続口24を開口させ、かつ当該各第2の接続口24を含む全表面上

7

に、気相成長法によってタングステン薄膜を被着させると共に、RIE法により、該当部分をエッチング除去して各第2の接続口24の内部にのみそれぞれ第2のタングステンプラグ21を残しておき、かつこれらの全表面上に、スパッタリング法により、例えば、低融点のアルミニウム銅合金膜を堆積させた上で、フォトリソグラフィ法、およびRIE法によってこれを選択的にエッチング除去し、各第2のタングステンプラグ21上に、それぞれ各第2の配線層22を形成させて、対応する各第1の配線層12に対し、各第2のタングステンプラグ21を介してそれぞれの各第2の配線層22を接続させ、さらに、これらの全表面上に、プラズマ気相成長法によってシリコン窒化膜を堆積させることでパッシベーション膜13を形成させるのである(図39)。

【0029】つまり、このCMP法による第1、第2の各層間絶縁膜38、40の平坦化形成は、その平坦性が極めて良好であるほかに、低温での平坦化が可能であるという優れた利点を有している。

【0030】しかし、反面、このCMP法による第1、第2の各層間絶縁膜38、40の平坦化形成においては、その研磨速度が、研磨材の温度とか、被研磨面の形状に大きく依存するため、研磨量の管理が極めて困難なもので、上記図35ないし図39に示す応用例を考えると、研磨量が不足する場合には、下地側に凹凸が残残り、フォトリソグラフィ法の適用、タングステンプラグ21の形成にそれぞれ悪影響を及ぼし、研磨量が過大である場合には、層間絶縁膜の下部に位置する構造物としての多結晶シリコン膜4、第1の配線層12を破損する恐れがあり、また、このCMP法では、用いられる研磨材の成分中に、カリウムとかナトリウムなどのアルカリ金属を含んでいる場合があることから、このアルカリ金属がゲート酸化膜3中で可動イオンになって、MOSFETの性能を劣化させるという不利がある。

【0031】すなわち、上記したように、従来技術にあっては、層間絶縁膜に十分な平坦性をもたせることが困難であるために、半導体装置の集積度が制限されており、一方、CMP法は、平坦性に優りすぎるものゝ、制御性に乏しく、かつアルカリ金属汚染の問題もあって、それぞれに装置の生産性を阻害するものであった。

【0032】この発明は、このような従来の問題点を解消するためになされたもので、その目的とするところは、低温により層間絶縁膜を平坦化できて、より一層、高集積度の装置構成を生産性良好に得られるようにした、この種の半導体装置、およびその製造方法、ここでは、半導体集積回路装置における層間絶縁膜、およびその形成方法を提供することである。

【0033】

【課題を解決するための手段】前記目的を達成するために、この発明に係る半導体装置、およびその製造方法は、第1、第2の各層間絶縁膜として、第1、第2の各

8

導電型の不純物の少なくとも一方を含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜を順次に形成させると共に、表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで化学的・機械的研磨により表面平坦化して構成され、かつ第1、第2の各配線層を、これらの表面側の残されているシリコン酸化膜上、および露出されているシリコン窒化膜上に接して形成させたものである。

【0034】すなわち、この発明は、第1導電型の半導体基板上にあって、ソース・ドレイン領域となる第2導電型の各不純物拡散層、ゲート酸化膜、および該当部分でのゲート電極となる多結晶シリコン膜によって構成されるMOSFETを有し、当該MOSFETでの少なくとも各不純物拡散層が、第1の層間絶縁膜の各第1の接続口に埋め込まれた第1の導電層を介してそれぞれ第1の配線層に接続され、かつ対応する各第1の配線層が、第2の層間絶縁膜の各第2の接続口に埋め込まれた第2の導電層を介してそれぞれ第2の配線層に接続される半導体集積回路装置の構成において、前記第1、第2の各層間絶縁膜として、順次に形成される第1、第2の各導電型の不純物の少なくとも一方を含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜からなり、かつ当該表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで化学的・機械的研磨により表面平坦化して構成させると共に、前記第1、第2の各配線層が、前記表面側の残されているシリコン酸化膜上、および露出されているシリコン窒化膜上に接して形成させたことを特徴とする半導体装置であり、かつ当該半導体装置において、前記各配線層が、2層以上の多層配線層とされ、各配線層間毎に、前記構成による層間絶縁膜を介在させたことを特徴とするものである。

【0035】また、この発明は、第1導電型の半導体基板上に、ソース・ドレイン領域となる第2導電型の各不純物拡散層、ゲート酸化膜、および該当部分でのゲート電極となる多結晶シリコン膜によって構成されるMOSFETを有し、当該MOSFETでの少なくとも各不純物拡散層が、第1の層間絶縁膜の各第1の接続口に埋め込まれた第1の導電層を介してそれぞれ第1の配線層に接続され、かつ対応する各第1の配線層が、第2の層間絶縁膜の各第2の接続口に埋め込まれた第2の導電層を介してそれぞれ第2の配線層に接続される半導体集積回路装置の構成での前記第1、第2の各層間絶縁膜の形成方法であって、まず、第1、第2の各導電型の不純物の少なくとも一方を含むシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜とをそれぞれ順次に形成する工程と、ついで、化学的・機械的研磨法により、前記表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで研磨して表面平坦化させる工程と、さらに、前記表面側の残されているシリコン酸化膜上、および露出されているシリコン窒化膜上に接して、前記各配線層を

9

形成させる工程とを、少なくとも含むことを特徴とする半導体装置の製造方法であり、かつ当該半導体装置の製造方法において、前記各配線層を2層以上の多層に形成する工程、および当該各配線層間に、前記構成による層間絶縁膜を介在させる工程をそれぞれに含むことを特徴とするものである。

【0036】

【作用】先にも述べたように、化学的・機械的研磨法、つまり、CMP法を用いた場合での研磨速度については、種々の要因による影響を受けるために、その研磨量の制御が非常に困難なことが知られている。しかし、一方、発明者らの行なった実験によれば、シリコン酸化膜に対する研磨速度に比較して、シリコン窒化膜に対する研磨速度はおよそ25%程度であった。従って、第1、第2の各層間絶縁膜として、第1、第2の各導電型の不純物の少なくとも一方を含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜を順次に形成させた上で、CMP法により、表面側のシリコン酸化膜を研磨すると、シリコン窒化膜の一部表面が露出された時点で、その研磨速度が急激に遅くなることから、こゝでの研磨速度の差異を容易に検出し得るもので、結果的には、制御性の良好な当該CMP法による研磨、ひいては、各層間絶縁膜の表面平坦化を行なうことができる。

【0037】また、前記CMP法における今一つの問題点は、当該CMP法での研磨材中に含まれるアルカリ金属がMOSFETのゲート酸化膜に達して、これが当該ゲート酸化膜中で可動イオンとして存在し、このMOSFETの動作を損なうということであった。こゝで、前記シリコン窒化膜の下側に設けられる不純物を含んだシリコン酸化膜については、例えば、文献(“Solid State Technology” 1985, June, P.171)によると、前記アルカリ金属を捕捉する働きのあることが知られている。よって、前記の如く、シリコン窒化膜の下側に不純物を含んだシリコン酸化膜を設けた構成では、当該シリコン窒化膜を介するか、あるいは、研磨によって当該シリコン窒化膜の一部が除去されてしまった場合にあって、浸透するアルカリ金属が不純物を含んだシリコン酸化膜に捕捉されることになり、前記のようにMOSFETのゲート酸化膜にまで達する惧れを容易に解消し得るのである。

【0038】

【実施例】以下、この発明に係る半導体装置、およびその製造方法、こゝでは、半導体集積回路装置における層間絶縁膜、およびその形成方法の各別の実施例につき、図1ないし図15を参照して詳細に説明する。

【0039】図1ないし図14はこの発明の一実施例を適用した半導体集積回路装置の製造方法の主要な工程を順次模式的に示すそれぞれに断面図であって、最終的に構成される当該半導体集積回路装置の構造は図14に見られる通りであり、また、図15は同上他の実施例によ

10

る半導体集積回路装置の構成を模式的に示す断面図である。

【0040】こゝで、図1ないし図15に示す各実施例での各図において、上記図16ないし図19、および図20ないし図29に示す従来例での各図と同一符号は、それぞれに同一もしくは相当部分を表わしている。

【0041】最初に、上記実施例での半導体集積回路装置における主要な構成について概括的に述べる。

【0042】この実施例による半導体集積回路装置は、図14に示されているように、ソース・ドレイン領域となる各不純物拡散層6、ゲート酸化膜3、および該当部分でのゲート電極となる多結晶シリコン膜4によって構成されるMOSFETを有しており、当該MOSFETのゲート電極としての多結晶シリコン膜4、および各不純物拡散層6は、第1の層間絶縁膜としての順次に形成される不純物を含んだ第1のシリコン酸化膜8、第1のシリコン窒化膜9、および第1のシリコン酸化膜10を通した各第1の接続口14に埋め込まれる第1のタングステンプラグ11を介してそれぞれ第1の配線層12に接続されており、また、対応する各第1の配線層12は、同様に、第2の層間絶縁膜としての順次に形成される不純物を含んだ第2のシリコン酸化膜18、第2のシリコン窒化膜19、および第2のシリコン酸化膜20を通した各第2の接続口24に埋め込まれる第2のタングステンプラグ21を介してそれぞれ第2の配線層22に接続されている。

【0043】そして、前記各第1の配線層12については、前記第1の層間絶縁膜としての順次に形成される不純物を含んだ第1のシリコン酸化膜8、第1のシリコン窒化膜9、および第1のシリコン酸化膜10上に接する形態で設けられ、また、前記各第2の配線層22については、同様に、前記第2の層間絶縁膜としての順次に形成される不純物を含んだ第2のシリコン酸化膜18、第2のシリコン窒化膜19、および第2のシリコン酸化膜20上に接する形態で設けられており、これらの第1、第2の各層間絶縁膜は、それぞれにその平坦性が極めて高く形成されることになる。

【0044】次に、上記構成による実施例での半導体集積回路装置の製造方法の主要な工程を図1ないし図14について述べる。

【0045】これらの図1ないし図14においても、この実施例による半導体集積回路装置の製造方法は、上記従来例方法における図20の工程終了後、換言すると、MOSFETの形成後(図1に該当)にあって、まず、その全表面上に対し、 PH_3 、 $\text{TEOS}[\text{Si}(\text{OC}_2\text{H}_5)_4]$ などを原料とする減圧気相成長法により、 P_{205} を重量換算で7%程度含む第1のシリコン酸化膜8を膜厚100nm程度に形成し(図2)、また、 NH_3 、 SiH_2Cl_2 などを原料とする減圧気相成長法により、第1のシリコン窒化膜9を膜厚50nm程度に形成し(図3)、さらに、 TEOS

11

などを原料とする減圧気相成長法により、第1のシリコン酸化膜10を膜厚500nm程度に形成する(図4)。そして、この場合、これらの各工程は、全て減圧気相成長装置によって行ない得るために、同一装置を用いることにより、原料ガスと成長温度を切り替えて連続的に形成可能である。

【0046】について、前記第1のシリコン酸化膜10に対して、CMP法により、コロイダルシリカなどを主成分とする研磨材を流しながら、当該第1のシリコン酸化膜10での凹凸のある表面を典型的に約5分程度、機械的に研磨するが、このとき、研磨面が前記第1のシリコン窒化膜9の該当部分に達した時点で、その研磨速度が著しく低下するため、これを検出することによって、当該第1のシリコン窒化膜9の該当する一部が露出され、かつ十分に平坦化された表面、つまり、ここでは、平坦化された第1の層間絶縁膜が形成されるもので、このような研磨制御によるときは、研磨時間による研磨量の変化を低く抑制し得る(図5)。

【0047】引き続き、前記平坦化された第1の層間絶縁膜としての残されている第1のシリコン酸化膜10、および第1のシリコン窒化膜9の一部露出面上にあって、フォトリソグラフィ法、およびRIE法により、各不純物拡散層6、および対応する一部露出面での各多結晶シリコン膜4のそれぞれに対して各第1の接続口14を開口させ(図6)、かつ当該各第1の接続口14を含む全表面上に、気相成長法によってタングステン薄膜11aを被着させる(図7)と共に、RIE法により、該当部分をエッチング除去して各第1の接続口14の内部にのみそれぞれ第1のタングステンプラグ11を残すようにする(図8)。

【0048】さらに、これらの全表面上に対し、スパッタリング法により、例えば、低融点のアルミニウム銅合金膜を堆積させた上で、フォトリソグラフィ法、およびRIE法によってこれを選択的にエッチング除去し、前記それぞれの各第1のタングステンプラグ11面を含んで平坦化されたシリコン酸化膜10、およびシリコン窒化膜9の一部露出面上に、それぞれ各第1の配線層12を形成させることにより、各不純物拡散層6、および対応する各多結晶シリコン膜4に対し、各第1のタングステンプラグ11を介してそれぞれの各第1の配線層12を接続させる(図9)。

【0049】そしてまた、前記各第1の配線層12を含む全表面上に対し、前記と同様に、 PH_3 、 TEOS などを原料とするプラズマ気相成長法により、 P_2O_5 を重量換算で7%程度含む第2のシリコン酸化膜18を膜厚200~500nm程度に形成し(図10)、また、 SiH_4 、 NH_3 などを原料とするプラズマ気相成長法により、第2のシリコン窒化膜19を膜厚50nm程度に形成し(図11)、さらに、 TEOS などを原料とする減圧気相成長法により、第2のシリコン酸化膜20を膜厚50

12

0nm程度に形成する(図12)。すなわち、この場合にあっても、これらの各工程は、全てプラズマ気相成長装置によって行ない得るために、同一の装置内に複数の反応室を設けた装置構成を用いるか、あるいは、同一の反応室中で連続的に原料ガスを切り替えることで、これらの各膜を見掛け上、1工程として連続的に形成し得る。

【0050】について、前記第2のシリコン酸化膜20に対して、前記と同様に、CMP法により、当該第2のシリコン酸化膜20での凹凸のある表面を機械的に研磨し、前記第2のシリコン窒化膜19の該当する一部を露出させて、十分に平坦化された表面、ここでは、平坦化された第2の層間絶縁膜を形成するもので、ここではまた、このような研磨制御によるときは、研磨時間による研磨量の変化を低く抑制できる(図13)。

【0051】引き続き、前記平坦化された第2の層間絶縁膜としての残されている第2のシリコン酸化膜20、および第2のシリコン窒化膜19の一部露出面上にあって、フォトリソグラフィ法、およびRIE法により、対応する前記各第1の配線層12のそれぞれに第2の接続口24を開口させ、かつ当該各第2の接続口24を含む全表面上に、気相成長法によってタングステン薄膜を被着させた上で、RIE法により、該当部分をエッチング除去して各第2の接続口24の内部にのみそれぞれ各第2のタングステンプラグ21を残しておき、また、これらの全表面上に、スパッタリング法により、例えば、低融点のアルミニウム銅合金膜を堆積させた上で、フォトリソグラフィ法、およびRIE法によってこれを選択的にエッチング除去し、当該各第2のタングステンプラグ21上に、それぞれ各第2の配線層22を形成させて、対応する各第1の配線層12に対し、各第2のタングステンプラグ21を介してそれぞれの各第2の配線層22を接続させ、さらに、これらの全表面上に、プラズマ気相成長法によってシリコン窒化膜を堆積させることでパッシベーション膜13を形成する(図14)もので、この実施例方法においてもまた、このようにして所期通りのMOSFETを集積した半導体装置を構成させるのである。

【0052】ここで、上記実施例構成、方法における第1、第2の各層間絶縁膜としての各膜の膜厚、ならびに不純物濃度については、必ずしも上記の値にのみ限定されない。これは、上記CMP法による表面側のシリコン酸化膜の研磨時間が、研磨材の種類、研磨パッドの種類などに強く依存するからである。

【0053】なお、上記実施例構成、方法において、上記リン(N型不純物)などを含む第1、第2の各シリコン酸化膜8、18としては、当該リンに合わせてボロン(P型不純物)などを同時に含むBPSG膜を用いることができ、また、上記リンなどを含む第1、第2の各シリコン酸化膜8、18と、第1、第2の各シリコン窒化

13

膜9, 19と、第1, 第2の各シリコン酸化膜10, 20とのそれぞれ、および上記第1, 第2の各タングステンプラグ11, 21と、第1, 第2の各配線層12, 22とのそれぞれの形成手段は、上記方法以外の手段であっても何ら差し支えはなく、さらに、上記第1, 第2の各タングステンプラグ11, 21についても、その他の材質、例えば、多結晶シリコン、アルミニウムなどを利用することが可能である。

【0054】そしてまた、上記実施例構成、方法の場合には、2層配線構造について述べたが、より以上に多層の配線構造にも適用できることは勿論であり、さらに、上記CMP法は、シリコン酸化膜の研磨以外にも、RIE法に代えてタングステン膜などのエッチングにも利用できる。

【0055】ここで、上記実施例構成、方法での層間絶縁膜の構造は、上記各配線層12, 22が、表面側の残されている各シリコン酸化膜10, 20上と、露出されているシリコン窒化膜9, 19上との双方に接して形成されていること、また、各シリコン窒化膜9, 19の直下に、不純物を含むシリコン酸化膜8, 18が形成されていることのそれぞれを特長とするものであるから、例えば、図15に示されているように、不純物を含むシリコン酸化膜8, 18の下側に、不純物を含まない第3, 第4の各シリコン酸化膜15, 25を形成することもまた、1つの手段として有用である。

【0056】

【発明の効果】以上、各実施例によって詳述したように、この発明によれば、層間絶縁膜として、第1, 第2の各導電型の不純物の少なくとも一方を含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜を順次に形成させた上で、CMP法を用いて、表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで研磨するようにしたので、表面側のシリコン酸化膜とシリコン窒化膜との研磨速度の差異の検出によって容易かつ確実に研磨量の制御を行なうことができ、また、シリコン窒化膜の下側に不純物を含んだシリコン酸化膜を設けたので、研磨材中に含まれるアルカリ金属などの素子への影響を良好に抑制できて、結果的には、CMP法による低温下での層間絶縁膜の表面平坦化を工業的に可能にし得るという優れた特長を有しており、しかも、このように平坦性の高い層間絶縁膜を形成できることは、その後のフォトリソグラフィー法、エッチング除去技術の効果的かつ良好な適用を可能にして、装置構成の高集積化、ならびに信頼性の向上を図り得るのである。

【0057】また一方で、従来例方法の場合には、層間絶縁膜の平坦化のために、多くの工程を必要としていたが、この発明方法では、当該層間絶縁膜としての、順次に形成されるそれぞれの不純物を含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜を、同一の成長装置によって連続的に形成できるために、実質的に、数

14

少ない工程数での層間絶縁膜の平坦化形成が可能になり、その生産性を十分に向上させ得るのである。

【図面の簡単な説明】

【図1】この発明の一実施例を適用した半導体集積回路装置の製造方法における第1の工程を模式的に示す断面図である。

【図2】同じく第2の工程を模式的に示す断面図である。

【図3】同じく第3の工程を模式的に示す断面図である。

【図4】同じく第4の工程を模式的に示す断面図である。

【図5】同じく第5の工程を模式的に示す断面図である。

【図6】同じく第6の工程を模式的に示す断面図である。

【図7】同じく第7の工程を模式的に示す断面図である。

【図8】同じく第8の工程を模式的に示す断面図である。

【図9】同じく第9の工程を模式的に示す断面図である。

【図10】同じく第10の工程を模式的に示す断面図である。

【図11】同じく第11の工程を模式的に示す断面図である。

【図12】同じく第12の工程を模式的に示す断面図である。

【図13】同じく第13の工程を模式的に示す断面図である。

【図14】同じく第14の工程を模式的に示す断面図である。

【図15】この発明の他の実施例を適用した半導体集積回路装置の概要構成を模式的に示す断面図である。

【図16】従来例での半導体集積回路装置の製造方法における第1の工程を模式的に示す断面図である。

【図17】図16における第1の工程を模式的に示す断面図である。

【図18】同上半導体集積回路装置の製造方法における第2の工程を模式的に示す断面図である。

【図19】同じく第3の工程を模式的に示す断面図である。

【図20】同じく第4の工程を模式的に示す断面図である。

【図21】同じく第5の工程を模式的に示す断面図である。

【図22】同じく第6の工程を模式的に示す断面図である。

【図23】同じく第7の工程を模式的に示す断面図である。

15

【図24】同じく第8の工程を模式的に示す断面図である。

【図25】同じく第9の工程を模式的に示す断面図である。

【図26】同じく第10の工程を模式的に示す断面図である。

【図27】同じく第11の工程を模式的に示す断面図である。

【図28】同じく第12の工程を模式的に示す断面図である。

【図29】同じく第13の工程を模式的に示す断面図である。

【図30】従来例での半導体集積回路装置の製造方法における層間絶縁膜の形成のための第1の工程を拡大して詳細かつ模式的に示す断面図である。

【図31】同じく第2の工程を拡大して詳細かつ模式的に示す断面図である。

【図32】同じく第3の工程を拡大して詳細かつ模式的に示す断面図である。

【図33】同じく第4の工程を拡大して詳細かつ模式的に示す断面図である。

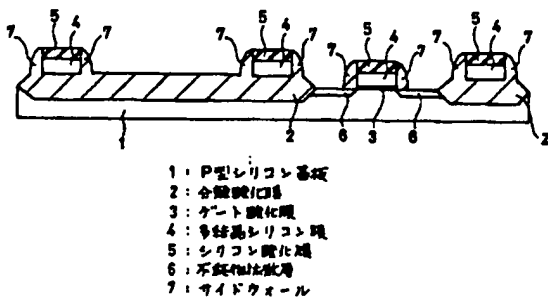
【図34】従来例での半導体集積回路装置の製造方法におけるCMP法を用いた層間絶縁膜の平坦化手段の第1の工程を模式的に示す断面図である。

【図35】同じく第2の工程を模式的に示す断面図である。

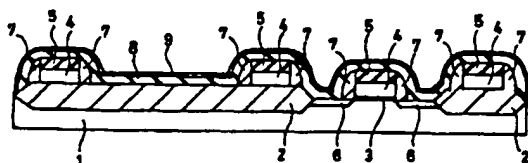
【図36】同じく第3の工程を模式的に示す断面図である。

【図37】同じく第4の工程を模式的に示す断面図である。

【図1】



【図3】



16

る。

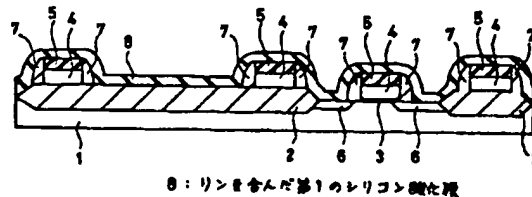
【図38】同じく第5の工程を模式的に示す断面図である。

【図39】同じく第6の工程を模式的に示す断面図である。

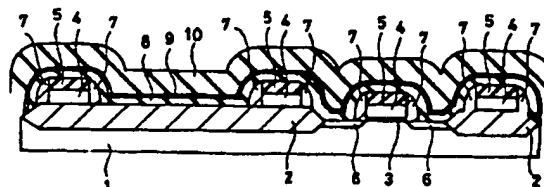
【符号の説明】

- 1 P型シリコン基板
- 2 分離酸化膜
- 3 ゲート酸化膜
- 10 4 多結晶シリコン膜
- 5 シリコン酸化膜
- 6 不純物拡散層
- 7 サイドウォール
- 8 リンを含んだ第1のシリコン酸化膜
- 9 第1のシリコン窒化膜
- 10 第1のシリコン酸化膜
- 11 a タングステン薄膜
- 11 第1のタングステンプラグ
- 12 第1の配線層
- 13 パッシベーション層
- 14 第1の接続口
- 15 第3のシリコン酸化膜
- 18 リンを含んだ第2のシリコン酸化膜
- 19 第2のシリコン窒化膜
- 20 第2のシリコン酸化膜
- 21 第2のタングステンプラグ
- 22 第2の配線層
- 24 第2の接続口
- 25 第4のシリコン酸化膜

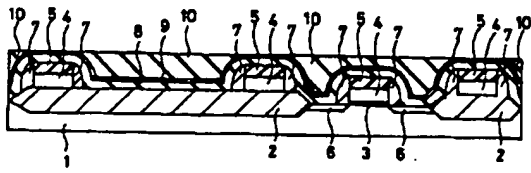
【図2】



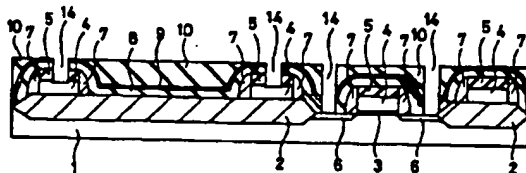
【図4】



【図5】

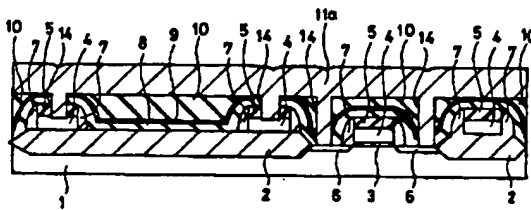


【図6】



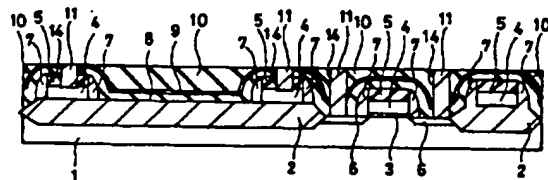
14: 第1の接続口

【図7】



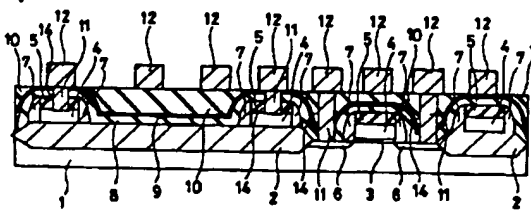
11a: タングステン薄膜

【図8】



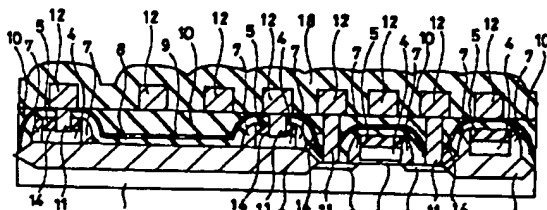
11: 第1のタングスタンプラグ

【図9】



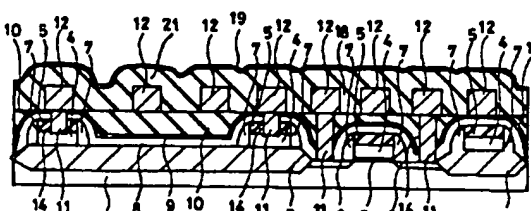
12: 第1の酸化層

【図10】



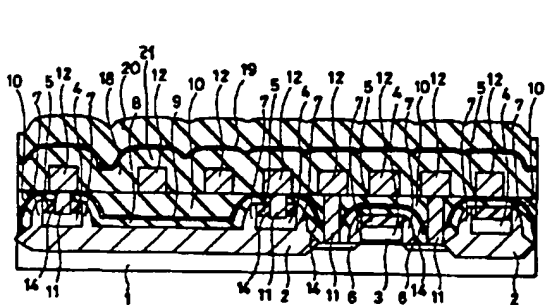
18: リンを含む第2のシリコン酸化層

【図11】



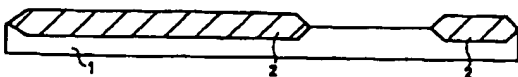
19: 第2のシリコン酸化層

【図12】

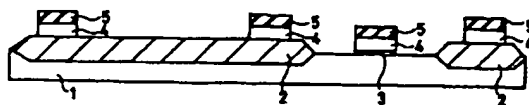


20: 第2のシリコン酸化層

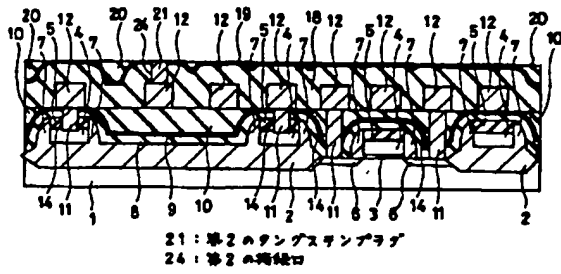
【図16】



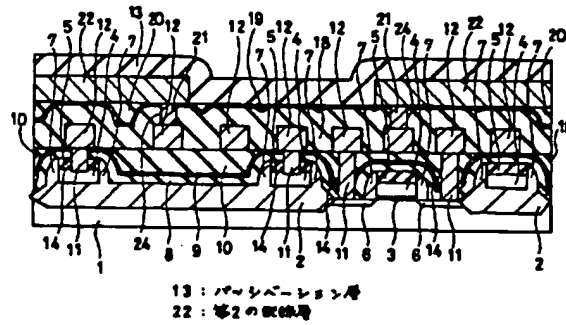
【図17】



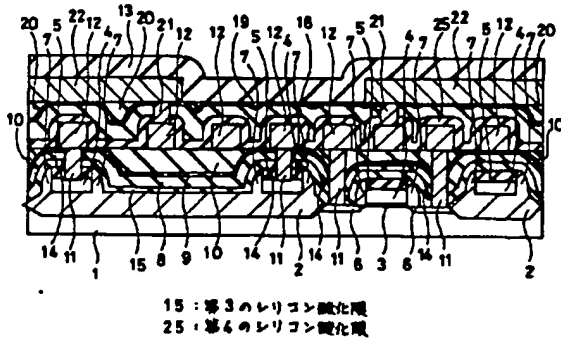
【図13】



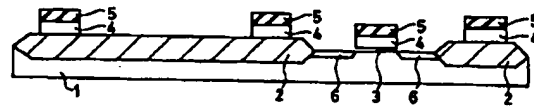
【図14】



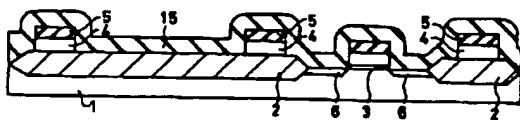
【図15】



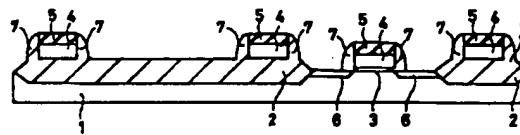
【図18】



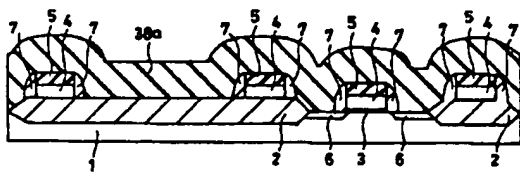
【図19】



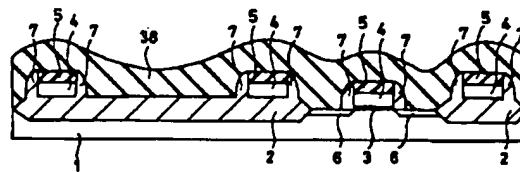
【図20】



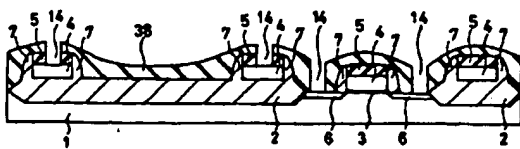
【図21】



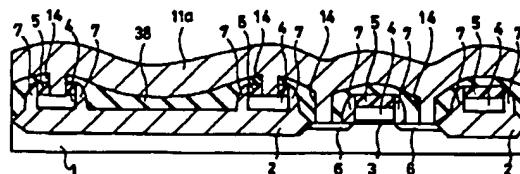
【図22】



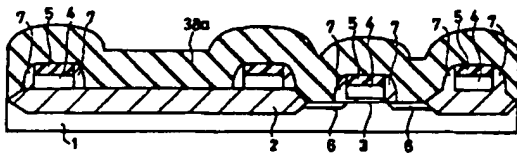
【図23】



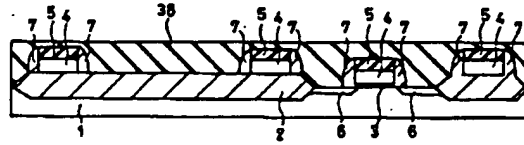
【図24】



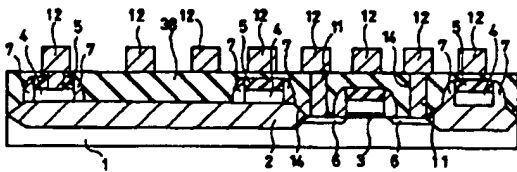
【図35】



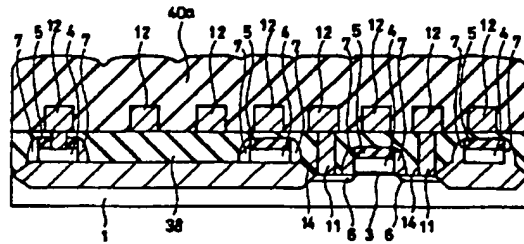
【図36】



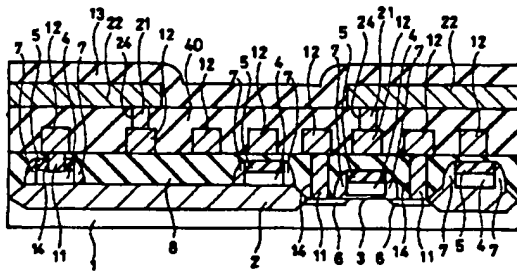
【図37】



【図38】



【図39】



【手続補正書】

【提出日】平成4年11月10日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 半導体基板上に、下層配線層と上層配線層の間に絶縁する層間絶縁膜を有する半導体装置において、

前記層間絶縁膜は、リンを含むシリコン酸化膜、シリコン窒化膜およびシリコン酸化膜が順次積層して形成されるとともに、表面側のシリコン酸化膜がシリコン窒化膜の一部表面が露出された状態で表面平坦化して形成され、

前記表面側の残されたシリコン酸化膜上または露出されたシリコン窒化膜上に接して前記上層配線層が形成されたことを特徴とする半導体装置。

【請求項2】 第1導電型の半導体基板上に、ソース・

ドレイン領域となる第2導電型の各不純物拡散層、ゲート酸化膜、およびゲート電極となる多結晶シリコン膜によって構成されるMOSFETを有し、このMOSFETの不純物拡散層が、第1の層間絶縁膜の接続口に埋め込まれた導電層を介して第1の配線層に接続され、かつ対応する第1の配線層が、第2の層間絶縁膜の接続口に埋め込まれた導電層を介して第2の配線層に接続される半導体装置において、

前記第1、第2の層間絶縁膜は、リンを含むシリコン酸化膜、シリコン窒化膜およびシリコン酸化膜が順次積層して形成されるとともに、表面側のシリコン酸化膜がシリコン窒化膜の一部表面が露出された状態で表面平坦化して形成され、前記表面側の残されたシリコン酸化膜上または露出されたシリコン窒化膜上に接して前記第1、第2の各配線層が形成されたことを特徴とする半導体装置。

【請求項3】 前記各層間絶縁膜におけるリンを含むシリコン酸化膜の下に、不純物を含まないシリコン酸化膜が形成されていることを特徴とする請求項1または2記

載の半導体装置。

【請求項4】 半導体基板上に、下層配線層と上層配線層の間に絶縁する層間絶縁膜を有する半導体装置の製造方法において、

前記層間絶縁膜を、リンを含むシリコン酸化膜、シリコン窒化膜およびシリコン酸化膜を順次積層して形成した後、化学的・機械的研磨法により前記表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで研磨して表面平坦化させて製造し、

次いで、前記層間絶縁膜の表面側の残されたシリコン酸化膜上または露出されたシリコン窒化膜上に接して前記上層配線層を形成したことを特徴とする半導体装置の製造方法。

【請求項5】 第1導電型の半導体基板上に、ソース・ドレイン領域となる第2導電型の各不純物拡散層、ゲート酸化膜、およびゲート電極となる多結晶シリコン膜によって構成されるMOSFETを有し、このMOSFETの不純物拡散層が、第1の層間絶縁膜の接続口に埋め込まれた導電層を介して第1の配線層に接続され、かつ対応する第1の配線層が、第2の層間絶縁膜の接続口に埋め込まれた導電層を介して第2の配線層に接続される半導体装置の製造方法において、

リンを含むシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜とを順次に形成する工程と、

次いで、化学的・機械的研磨法により、前記表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで研磨して表面平坦化させて前記第1、第2の層間絶縁膜を製造する工程と、

さらに、前記表面側の残されているシリコン酸化膜上または露出されているシリコン窒化膜上に接して、前記第1、第2の配線層を形成させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記各層間絶縁膜におけるリンを含むシリコン酸化膜の形成に先立って、不純物を含まないシリコン酸化膜を形成させる工程を含むことを特徴とする請求項4または5記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】さらに、これらの全表面上に、気相成長法によってボロン、リンを含んだシリコン酸化膜（以下、BPSG膜と呼ぶ）からなる層間絶縁膜38aを堆積させ（図21）た上で、これを温度800～1000℃程度で熱処理することにより、その全表面を可及的に平滑化させた第1の層間絶縁膜38を形成する（図22）。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】すなわち、アルミニウム銅合金の第1の配線層12に接する絶縁膜（つまり、この場合、第2の層間絶縁膜40）は、その電気的接続の信頼性を確保するために、十分な押し付け応力を有し、しかも、これに併せて、吸湿性の少ないことが要求されるが、前記のようにSOG法によって形成されるシリコン酸化膜は、通常、引っ張り応力を有し、かつ吸湿性がプラズマ気相成長法によって形成されるシリコン酸化膜に比較して高いことから、当該配線層に広く接する部分では、このプラズマ気相成長法によるシリコン酸化膜で覆う必要があるためである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】

【課題を解決するための手段】前記目的を達成するために、この発明に係る半導体装置、およびその製造方法は、第1、第2の層間絶縁膜として、リンを含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜を順次に形成させると共に、表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで化学的・機械的研磨により表面平坦化して構成させ、かつ第1、第2の各配線層を、これらの表面側の残されているシリコン酸化膜上または露出されているシリコン窒化膜上に接して形成させたものである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】すなわち、この発明は、第1導電型の半導体基板上にあって、ソース・ドレイン領域となる第2導電型の不純物拡散層、ゲート酸化膜、およびゲート電極となる多結晶シリコン膜によって構成されるMOSFETを有し、このMOSFETの不純物拡散層が、第1の層間絶縁膜の接続口に埋め込まれた導電層を介してそれぞれ第1の配線層に接続され、かつ対応する第1の配線層が、第2の層間絶縁膜の接続口に埋め込まれた導電層を介して第2の配線層に接続される半導体装置において、前記第1、第2の各層間絶縁膜は、順次に形成されるリンを含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜からなり、かつ表面側のシリコン酸化膜がシリコン窒化膜の一部表面が露出されるまで表面平坦化して形成されると共に、前記第1、第2の各配線層が、前記表面側の残されているシリコン酸化膜上または露出されているシリコン窒化膜上に接して形成されてい

ることを特徴とする半導体装置である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】また、この発明は、第1導電型の半導体基板上に、ソース・ドレイン領域となる第2導電型の不純物拡散層、ゲート酸化膜、およびゲート電極となる多結晶シリコン膜によって構成されるMOSFETを有し、このMOSFETの不純物拡散層が、第1の層間絶縁膜の接続口に埋め込まれた導電層を介して第1の配線層に接続され、かつ対応する第1の配線層が、第2の層間絶縁膜の接続口に埋め込まれた第2の導電層を介してそれぞれ第2の配線層に接続される半導体集積回路装置の製造方法において、まず、リンを含むシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜とをそれぞれ順次に形成する工程と、ついで、化学的・機械的研磨法により、前記表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで研磨して表面平坦化させて第1、第2の層間絶縁膜を製造する工程と、さらに、前記表面側の残されているシリコン酸化膜上または露出されているシリコン窒化膜上に接して、前記各配線層を形成させる工程とを含むことを特徴とする半導体装置の製造方法である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】

【作用】先にも述べたように、化学的・機械的研磨法、つまり、CMP法を用いた場合での研磨速度については、種々の要因による影響を受けるために、その研磨量の制御が非常に困難なことが知られている。しかし、一方、発明者らの行なった実験によれば、シリコン酸化膜に対する研磨速度に比較して、シリコン窒化膜に対する研磨速度はおよそ25%程度であった。従って、第1、第2の各層間絶縁膜として、リンを含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜を順次に形成させた上で、CMP法により、表面側のシリコン酸化膜を研磨すると、シリコン窒化膜の一部表面が露出された時点で、その研磨速度が急激に遅くなることから、こゝでの研磨速度の差異を容易に検出し得るもので、結果的には、制御性の良好なCMP法による研磨、ひいては、各層間絶縁膜の表面平坦化を行なうことができる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】また、前記CMP法における今一つの問題点は、当該CMP法での研磨材中に含まれるアルカリ金属がMOSFETのゲート酸化膜に達して、これが当該ゲート酸化膜中で可動イオンとして存在し、このMOSFETの動作を損なうということであった。こゝで、前記シリコン窒化膜の下側に設けられるリンを含んだシリコン酸化膜については、例えば、文献(“Solid State Technology” 1985, June, P.171)によると、前記アルカリ金属を捕捉する働きのあることが知られている。よって、前記の如く、シリコン窒化膜の下側にリンを含んだシリコン酸化膜を設けた構成では、当該シリコン窒化膜を介するか、あるいは、研磨によって当該シリコン窒化膜の一部が除去されてしまった場合にあっては、浸透するアルカリ金属がリンを含んだシリコン酸化膜に捕捉されることになり、前記のようにMOSFETのゲート酸化膜にまで達する恐れを容易に解消し得るのである。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】この実施例による半導体集積回路装置は、図14に示されているように、ソース・ドレイン領域となる各不純物拡散層6、ゲート酸化膜3、および該当部分でのゲート電極となる多結晶シリコン膜4によって構成されるMOSFETを有しており、当該MOSFETのゲート電極としての多結晶シリコン膜4、および各不純物拡散層6は、第1の層間絶縁膜としての順次に形成されるリンを含んだ第1のシリコン酸化膜8、第1のシリコン窒化膜9、および第1のシリコン酸化膜10を通した各第1の接続口14に埋め込まれる第1のタングステンプラグ11を介してそれぞれ第1の配線層12に接続されており、また、対応する各第1の配線層12は、同様に、第2の層間絶縁膜としての順次に形成されるリンを含んだ第2のシリコン酸化膜18、第2のシリコン窒化膜19、および第2のシリコン酸化膜20を通した各第2の接続口24に埋め込まれる第2のタングステンプラグ21を介してそれぞれ第2の配線層22に接続されている。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】そして、前記各第1の配線層12については、前記第1の層間絶縁膜としての順次に形成されるリンを含んだ第1のシリコン酸化膜8、第1のシリコン窒化膜9、および第1のシリコン酸化膜10上に接する形態で設けられ、また、前記各第2の配線層22について

は、同様に、前記第2の層間絶縁膜としての順次に形成されるリンを含んだ第2のシリコン酸化膜18、第2のシリコン窒化膜19、および第2のシリコン酸化膜20上に接する形態で設けられており、これらの第1、第2の各層間絶縁膜は、それぞれにその平坦性が極めて高く形成されることになる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正内容】

【0053】なお、上記実施例構成、方法において、上記リンを含む第1、第2の各シリコン酸化膜8、18としては、当該リンに合わせてボロンなどを同時に含むBPSG膜を用いることができ、また、上記リンなどを含む第1、第2の各シリコン酸化膜8、18と、第1、第2の各シリコン窒化膜9、19と、第1、第2の各シリコン酸化膜10、20とのそれぞれ、および上記第1、第2の各タングステンプラグ11、21と、第1、第2の各配線層12、22とのそれぞれの形成手段は、上記方法以外の手段であっても何ら差し支えはなく、さらに、上記第1、第2の各タングステンプラグ11、21についても、その他の材質、例えば、多結晶シリコン、アルミニウムなどを利用することが可能である。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正内容】

【0055】ここで、上記実施例構成、方法での層間絶縁膜の構造は、上記各配線層12、22が、表面側の残されている各シリコン酸化膜10、20上と、露出されているシリコン窒化膜9、19上との双方に接して形成されていること、また、各シリコン窒化膜9、19の直下に、リンを含むシリコン酸化膜8、18が形成されていることのそれぞれを特長とするものであるから、例えば、図15に示されているように、リンを含むシリコン酸化膜8、18の下側に、不純物を含まない第3、第4の各シリコン酸化膜15、25を形成することもまた、

1つの手段として有用である。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正内容】

【0056】

【発明の効果】以上、各実施例によって詳述したように、この発明によれば、層間絶縁膜として、リンを含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜を順次に形成させた上で、CMP法を用いて、表面側のシリコン酸化膜をシリコン窒化膜の一部表面が露出されるまで研磨するようにしたので、表面側のシリコン酸化膜とシリコン窒化膜との研磨速度の差異の検出によって容易かつ確実に研磨量の制御を行なうことができ、また、シリコン窒化膜の下側にリンを含んだシリコン酸化膜を設けたので、研磨材中に含まれるアルカリ金属などの素子への影響を良好に抑制できて、結果的には、CMP法による低温下での層間絶縁膜の表面平坦化を工業的に可能にし得るという優れた特長を有しており、しかも、このように平坦性の高い層間絶縁膜を形成できることは、その後のフォトリソグラフィ法、エッチング除去技術の効果的かつ良好な適用を可能にして、装置構成の高集積化、ならびに信頼性の向上を図り得るのである。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正内容】

【0057】また一方で、従来例方法の場合には、層間絶縁膜の平坦化のために、多くの工程を必要としていたが、この発明方法では、当該層間絶縁膜としての、順次に形成されるそれぞれのリンを含むシリコン酸化膜、シリコン窒化膜、およびシリコン酸化膜を、同一の成長装置によって連続的に形成できるために、実質的に、数少ない工程数での層間絶縁膜の平坦化形成が可能になり、その生産性を十分に向上させ得るのである。